

Rechnerorganisation im Wintersemester 2017/18

Aufgaben zu den Tutorien in der Woche
vom 19. bis 23. Dezember 2016

Prof. Dr. Wolfgang Karl
Haid-und-Neu-Str. 7
Dr.-Ing. Ömer Terlemez
Adenauerring 2, Geb. 50.20
Email: ti@ira.uka.de
Web: <http://ti.ira.uka.de>

Lernziele

- MIPS-Assembler (offene Fragen aus letzter Woche und den Übungsblättern klären)
- Parallelität im Prozessor
- Einführung in die Grundlagen der Pipelineverarbeitung (Definitionen, Speedup und Durchsatz)

Aufgabe 1

In Abbildung 1 ist der prinzipielle Aufbau eines Mikroprozessors mit dem internen Steuerbus dargestellt.

Ihre Aufgabe besteht darin, die Architektur des internen Bussystems zu entwerfen, so dass eine hohe prozessorinterne Parallelität bei der Befehlsbearbeitung möglich ist. Das heißt:

- *OpCode Prefetching*.
- Gleichzeitiges Schreiben der ALU-Ergebnisse in den Registersatz und paralleles Laden der ALU-Eingänge mit Operanden aus dem Registersatz oder dem Datenbuspuffer (sofern nicht das gleiche Register hierfür benötigt wird).
- Direkter Zugriff des Adresswerks auf die Adressregister im Registersatz.

Ergänzen Sie die angegebene Abbildung, so dass das interne Bussystem die obigen Anforderungen erfüllt. Die Richtung des Datenflusses muss aus Ihrer Zeichnung deutlich erkennbar sein.

Aufgabe 2

Die Befehlsabarbeitung in einem Prozessor erfolgt in den folgenden Stufen:

- B: Befehl holen
- D: Befehl decodieren
- O: Operand(en) holen
- A: Befehl ausführen
- S: Ergebnis speichern

Diskutieren Sie die folgende Situation:

Der Befehl n legt sein Ergebnis in der Speicherstelle a ab. Der nächste abzuarbeitende Befehl $(n+1)$ benutzt den soeben erzeugten Wert als Operanden. Zeigen Sie die Probleme auf, die dadurch entstehen, dass die beiden Befehle in einer Pipeline ausgeführt werden, die aus den obigen Bearbeitungseinheiten besteht.

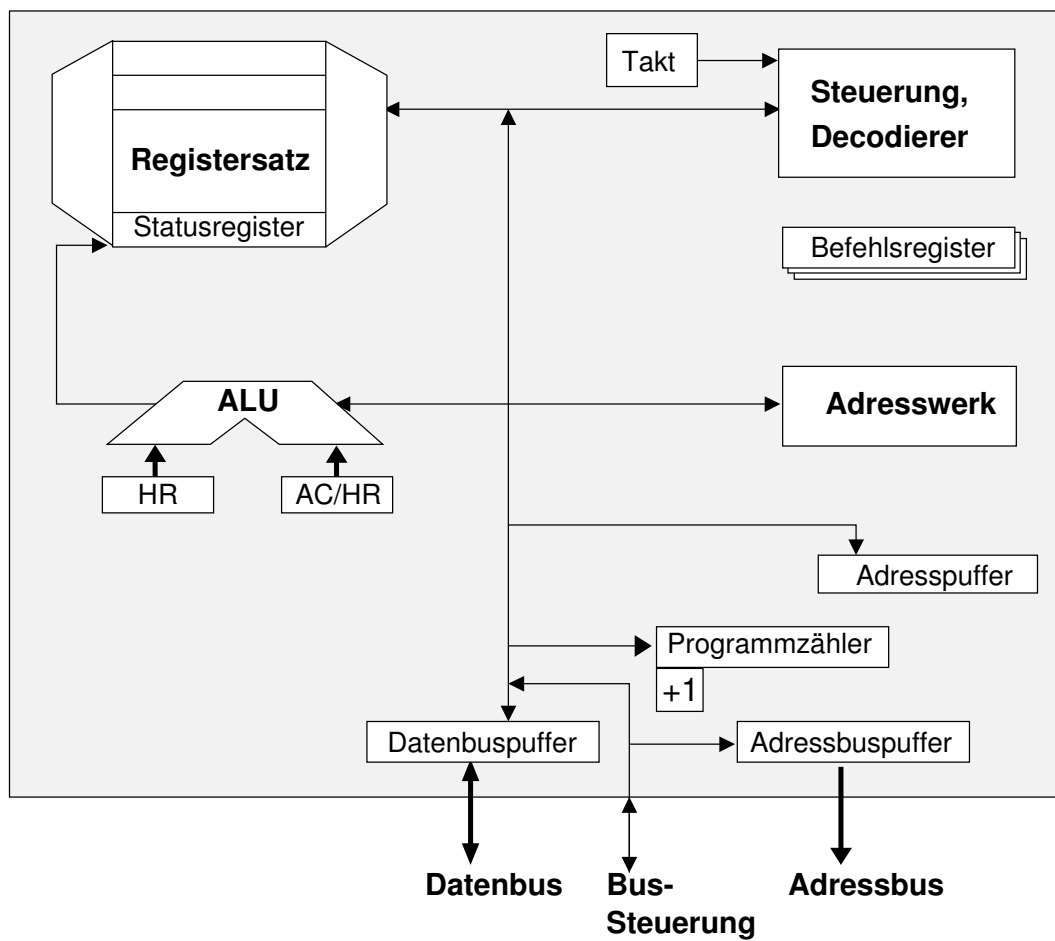


Abbildung 1: Aufbau eines Mikroprozessors und sein interner Steuerbus